

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申 請 日：西元 2003 年 03 月 11 日
Application Date

申 請 案 號：092105166
Application No.

申 請 人：矽品精密工業股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 4 月 16 日
Issue Date

發文字號：09220372420
Serial No.

申請日期：

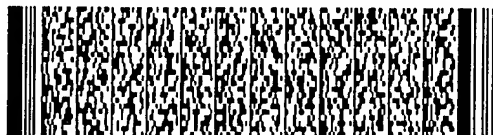
IPC分類

申請案號：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共5人)	姓 名 (中文)	3. 張月瓊
	姓 名 (英文)	3. Yueh-Chiung CHANG
	國 籍 (中英文)	3. 中華民國 TW
	住居所 (中 文)	3. 高雄縣岡山镇公園東路15巷10號
	住居所 (英 文)	3. No. 10, Lane 15, Park E. Rd., Kung-Shan Chen, Kao-Hsiung Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	

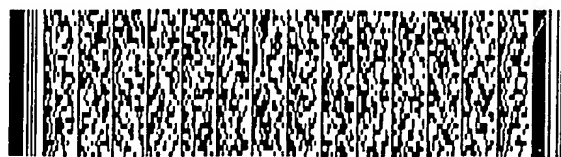
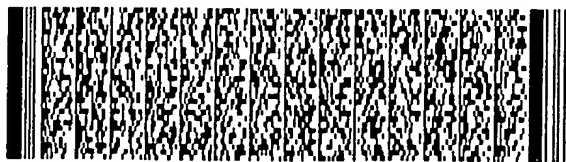


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	加強表面鐸結之導線架及其半導體封裝件製法
	英 文	SURFACE-MOUNT-ENHANCED LEAD FRAME AND METHOD FOR FABRICATING SEMICONDUCTOR PACKAGE WITH THE SAME
二、 發明人 (共5人)	姓 名 (中文)	1. 李德浩 2. 鄭坤一
	姓 名 (英文)	1. Der-Haw LEE 2. Kaun-I CHENG
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 台中縣潭子鄉勝利九街56號4樓 2. 台中市東區東光園路177巷27-3號
	住居所 (英 文)	1. 4F., No. 56, Victory 9th St., Tantz, Taichung-Hsien, Taiwan, R.O.C. 2. No. 27-3, Lane 177, Dong-Kwan Yuan Rd., East District, Taichung, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 矽品精密工業股份有限公司
	名稱或 姓 名 (英文)	1. SILICONWARE PRECISION INDUSTRIES CO., LTD.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台中縣潭子鄉大豐路三段123號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 123, Sec. 3, Da Fong Road, Tantz, Taichung, Taiwan, R.O.C.
	代表人 (中文)	1. 林文伯
	代表人 (英文)	1. Wen-Po LIN

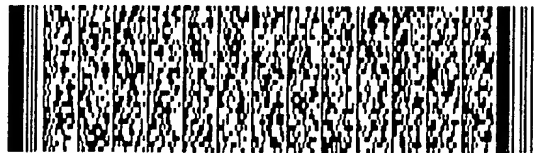


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共5人)	姓 名 (中文)	4. 劉世耀 5. 黃焜銘
	姓 名 (英文)	4. Shih-Yao LIU 5. Kun Ming HUANG
	國 籍 (中英文)	4. 中華民國 TW 5. 中華民國 TW
	住居所 (中 文)	4. 台中縣潭子鄉潭興路二段169巷24號 5. 彰化市彰和路一段13巷29號
	住居所 (英 文)	4. No. 24, Lane 169, Sec. 2 Tan-Shin Rd., Tantz, Taichung Hsien, Taiwan, R.O.C. 5. No. 29, Lane 13, Sec. 1, Chang-Ho Rd., Chung-Hwa, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：加強表面銲結之導線架及其半導體封裝件製法)

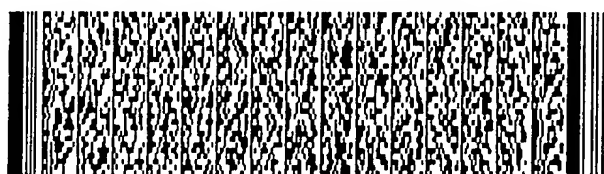
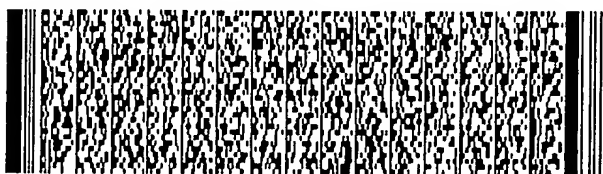
一種加強表面銲結之導線架及其半導體封裝件製法，係在一呈陣列排列之相鄰導線架間之攔壩結構(Dam bar)中形成有一凹部，而至少於該導線架底面與凹部敷設有一銲結金屬層，俾於後續進行切單作業時，將預設於該攔壩結構之凹部裁切成相對之第一凹部與第二凹部，以使分離之半導體封裝件其外露導腳端連結有一具凹部之攔壩結構，以提供該具導線架之半導體封裝件利用表面銲結技術(SMT)銲結至外部裝置時，得以藉由該凹部及其表面之銲結金屬層提供與銲料良好之附著性與較大之銲結面積，以減少銲結點之脫落與空焊而造成之信號傳輸不良等問題。

本案代表圖：第 8圖

3 半導體封裝件
32 晶片座
33 導腳

六、英文發明摘要 (發明名稱：SURFACE-MOUNT-ENHANCED LEAD FRAME AND METHOD FOR FABRICATING SEMICONDUCTOR PACKAGE WITH THE SAME)

A surface-mount-enhanced lead frame and a method for fabricating a semiconductor package with the lead frame are proposed, wherein a dam bar between the neighboring lead frame arranged in a matrix type is formed with an indentation and at least a solder metal layer is applied on the bottom surface of the lead frame and the indentation. During a singulation process, the

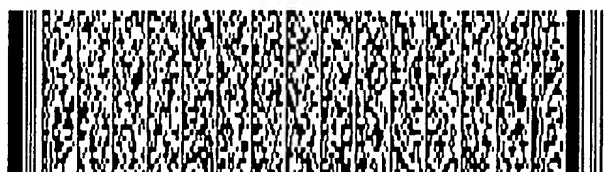


四、中文發明摘要 (發明名稱：加強表面銲結之導線架及其半導體封裝件製法)

- 34 半導體晶片
- 35 銲線
- 36 銲結金屬層
- 37 封裝膠體
- 39 銲料
- 330a 第一凹部
- 330b 第二凹部

六、英文發明摘要 (發明名稱：SURFACE-MOUNT-ENHANCED LEAD FRAME AND METHOD FOR FABRICATING SEMICONDUCTOR PACKAGE WITH THE SAME)

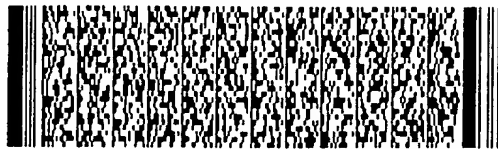
indentation of the dam bar is cut into a first indentation and a second indentation relatively, so as to provide a semiconductor package after singulation with a dam bar incorporating the indentation on the end of an exposing lead thereof. Therefore, the indentation and the solder metal layer applied thereon can provide solder paste well wettability and larger solder surface,



四、中文發明摘要 (發明名稱：加強表面銲結之導線架及其半導體封裝件製法)

六、英文發明摘要 (發明名稱：SURFACE-MOUNT-ENHANCED LEAD FRAME AND METHOD FOR FABRICATING SEMICONDUCTOR PACKAGE WITH THE SAME)

while the semiconductor package with the lead frame is mounted on an external device via a surface-mount-technology, so as to decrease problems of signal transmission owing to separation of solder joint from solder open.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

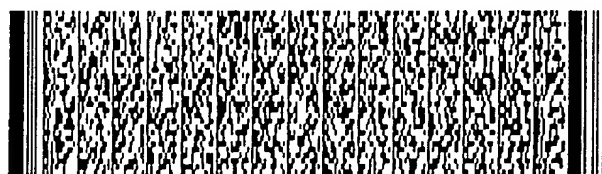
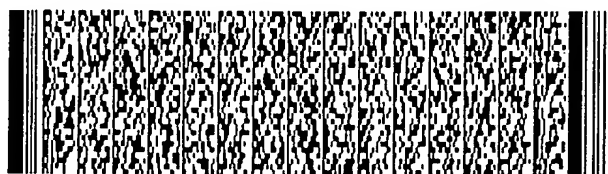
本發明係有關於一種加強表面銲結之導線架及其半導體封裝件製法，尤指一種四邊形平面無導腳式 (Quad-Flat Non-leaded, QFN) 導線架結構與應用該導線架之半導體封裝件及其製法。

【先前技術】

傳統半導體晶片係以導線架 (Lead Frame) 作為晶片承載件以形成一半導體封裝件。該導線架係包含一晶片座及形成於該晶片座周圍之多數導腳，待半導體晶片黏接至晶片座上並以銲線電性連接該晶片與導腳後，經由一融熔封裝樹脂包覆該晶片、晶片座、銲線以及導腳之內段而形成該具導線架之半導體封裝件。

以導線架作為晶片承載件之半導體封裝件之型態及種類繁多，如 QFP 半導體封裝件 (Quad Flat Package)、QFN (Quad-Flat Non-leaded) 半導體封裝件、SOP 半導體封裝件 (Small Outline Package)、或 DIP 半導體封裝件 (Dual in-line Package) 等，而為提昇半導體封裝件之散熱效率與兼顧晶片尺寸封裝 (Chip Scale Package, CSP) 之小尺寸要求，目前多以晶片座底部外露之 QFN 半導體封裝件或露墊式 (Exposed Pad) 半導體封裝件為封裝主流。

如美國專利第 6,143,981 所揭露之半導體封裝件，請參閱第 1A 圖，該四邊形平面無導腳式 (QFN) 半導體封裝件 1 之特徵在於未設置有外導腳，即未形成有如習知四邊形平面 (QFP) 半導體封裝件中用以與外界電性連接之外導腳，如

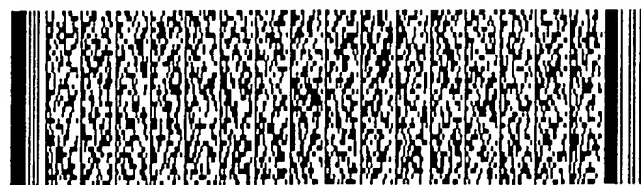


五、發明說明 (2)

此，將得以縮小半導體封裝件之尺寸。該 QFN 半導體封裝件 1 之導線架 10 之晶片座 11 底面及導腳 12 底面均係外露出封裝膠體 15，使接置於該晶片座 11 上並藉由鉑線 14 電性連接至導腳 12 之半導體晶片 13，其所產生之熱量得以有效傳播至外界，並使該 QFN 半導體封裝件 1 得藉該導腳 12 外露面直接與外部裝置如印刷電路板 (printed circuit board) (未圖示) 電性連接，而無需於半導體封裝件上再植接鉑球或鉑塊等導電元件，作為與外界電性連接之媒介，故得以簡化製程並降低製作成本。

而為使封裝作業達到高產量產能、精密自動化及降低成本等目標，傳統上該 QFN 半導體封裝件 1 之製造方法係以成批方式預先構建於一大片之導線架片上，其中，每一導線架片係先定義出複數個矩陣列置之導線架單元 10，經過導線架成型 (Lead Frame Formation)、上片 (Die Bond)、鉑線作業 (Wire Bond)、及模壓製程 (Molding) 等程序俾形成複數個半導體封裝單元，遂可實施切單作業 (Singulation) 以製成多個封裝件製品。

請參閱第 1B 圖，由於導線架 10 之主要材質係為金屬銅，而為使導線架 10 有效鉑結至該印刷電路板上，通常可使用一於表面預鍍有一鉑結金屬層 16 (例如鈇 Pb) 之導線架 10，亦或於模壓製程結束後，於該導線架 10 曝露表面電鍍一鉑結金屬層 16 (例如錫/鉛 (Sn/Pb))，俾提供導線架 10 得以有效鉑結至印刷電路板上，惟於表面鉑結時，由於切單作業完成後之封裝件製品，於其所形成之導腳切割處 12a



五、發明說明 (3)

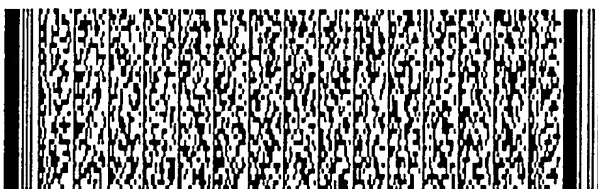
係直接裸露出導腳之銅質部分，而未覆蓋有一如鈹或錫 / 鉛之鍍結金屬層 16，易造成金屬銅之氧化，導致鍍料之濕潤性 (wettability) 不佳，造成附著不良，故使該導線架 10 僅能於導腳 12 底面與鍍料 17 接觸而鍍結至印刷電路板上，易因導腳單一表面沾錫量不足，造成導腳 12 與印刷電路板焊點接合不良而脫落或空焊，導致信號傳輸不良，從而影響半導體裝置之信賴性。

請參閱第 2 圖，為解決上述習知技術之問題，美國專利第 6,281,568 及 6,455,356 號遂揭露於完成模壓作業後之導線架 20 外露導腳端部形成有一向上彎折部 21，俾提供鍍料 22 較大之鍍結面積，以避免前述導腳與鍍料黏著不完全所導致之問題，惟該方法將導致產品尺寸之增加，不利半導體裝置輕薄短小之目的，且需以特殊模具將外露導腳彎折成形，如此不僅造成成本之增加，同時該彎折部易發生脫層等品質不良之情事。

【發明內容】

鑒於以上所述習知技術之缺點，本發明之主要目的係提供一種加強表面鍍結之導線架及其半導體封裝件製法，俾藉由簡單之製程步驟以達到導線架之鍍結面積增加，大幅減少鍍結點之脫落與空焊所造成之信號傳輸不良等問題。

本發明之另一目的係提供一種加強表面鍍結之導線架及其半導體封裝件製法，在毋須增加半導體封裝件面積之情況下，而有效增加導線架與鍍料之鍍結面積，以加強該



五、發明說明 (4)

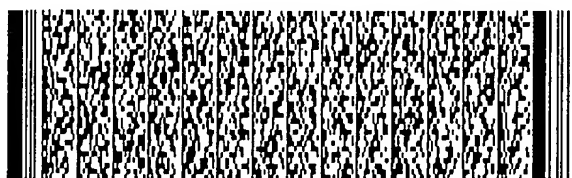
導線架之表面鍍結效果。

本發明之再一目的係提供一種加強表面鍍結之導線架及其半導體封裝件製法，俾有效增加導線架與鍍料之鍍結面積，以加強該導線架之表面鍍結效果，而毋須使用特殊模具將外露導腳彎折成形，同時亦不會導致該彎折部發生脫層等品質不良之情事。

為達上揭及其它目的，本發明之加強表面鍍結之導線架係包括有：一晶片座以及分佈於該晶片座周圍之多數導腳，且該導腳於其遠離該晶片座之端部連接有一具凹部之攔壩結構 (Dam bar)。俾藉由該凹部所形成之凹面與形成於導線架底面之鍍結金屬層提供較大之濕潤面積。

而應用上述該可加強表面鍍結之導線架之半導體封裝件係包括：一導線架，其具有一晶片座及分佈於該晶片座周圍之多數導腳，且該導腳於其遠離該晶片座之端部連接有一具凹部之攔壩結構 (Dam bar)；至少一半導體晶片，係接置於該晶片座上，並與該導腳形成電性連接；以及一封裝膠體，用以包覆該半導體晶片與部分之導線架，而外露出該攔壩結構之凹部。

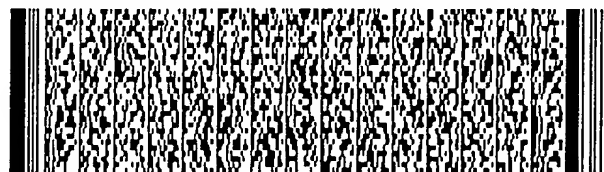
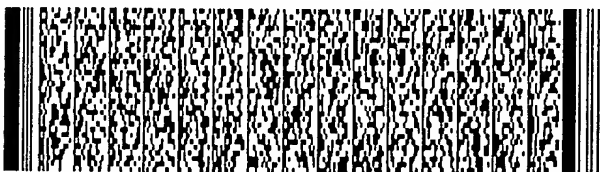
該具有前揭導線架之半導體封裝件之製法係包括下列步驟：首先製備一導線架片，係由多數呈陣列排列之導線架所構成，各相鄰之導線架係由多數之攔壩結構 (Dam bar) 所間隔，並於該攔壩結構內形成有一凹部，而該導線架具有一晶片座及分佈於該晶片座周圍之多數導腳，該導腳係連接至該攔壩結構；接置至少一半導體晶片於各該導



五、發明說明 (5)

線架之晶片座上；形成多數之導電元件以電性連接該半導體晶片至對應之導腳上；形成一封装膠體於該導線架片上，用以包覆各該導線架、半導體晶片與導電元件，而使該攔壩結構之凹部外露出該封装膠體；以及進行一切單作業，沿該相鄰之導線架間預設之裁切區域進行裁切，俾將該攔壩結構之凹部裁切形成相對應之第一凹部與第二凹部，以使分離後之各具導線架之半導體封装件於其導腳端部連接一具凹部之攔壩結構。

透過本發明之加強表面鍍結之導線架及其半導體封装件製法，係利用簡單之製程步驟，在間隔有相鄰導線架之攔壩結構(Dam bar)內形成一凹部，俾於後續進行切單作業以分離個別具導線架之半導體封装件時，沿該相鄰之導線架間預設之裁切區域進行裁切，以將該導腳端部相連之攔壩結構(Dam bar)之凹部裁切成相對應之第一凹部與第二凹部，俾使共用該攔壩結構之相鄰導線架，於裁切分離後，在該導線架之外露導腳端連接具有凹部之攔壩結構，以提供該具導線架之半導體封装件利用表面鍍結技術(SMT)鍍結至如印刷電路板等外部裝置時，得以藉由該外露導腳端部之攔壩結構之凹部提供與鍍料良好之濕潤性(wettability)與較大之接置面積，以達到導線架之鍍料接置面積增加，大幅減少鍍結點之脫落與空焊而導致之信號傳輸不良等問題，同時，毋須增加半導體封装件面積之情況下，有效增加導線架之鍍料接置面積，以加強該具導線架之半導體封装件表面鍍結效果。



五、發明說明 (6)

【實施方式】

以下茲以適用於四邊形平面無導腳式 (Quad-Flat Non-leaded, QFN) 封裝件之導線架詳細揭露本發明之具體實施例，本發明之實施例適用於 QFN 之半導體封裝件之導線架加以說明，然本發明所揭露之導線架並非侷限於此。

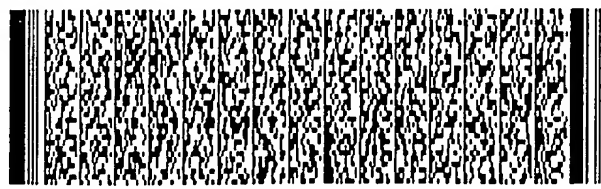
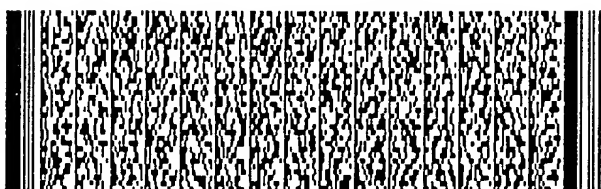
請參閱第 3A 及 3B 圖，為本發明之加強表面鉚結之導線架示意圖，惟該些圖式俱為簡化之示意圖，僅以示意方式顯示與本發明有關之結構單元，且該結構單元並非以實際數量及尺寸比例繪製，實際之導線架及半導體封裝件之結構佈局應更加複雜。

本發明之加強表面鉚結之導線架 31 主要係包括一晶片座 32 以及分佈於該晶片座 32 周圍之多數導腳 33，且該導腳 33 於其遠離該晶片座 32 之端部連接有一具凹部 330 之攔壩結構 (Dam bar) 331。

該晶片座 32 係以多數繫桿 320 與該導線架 31 相連，且可於該導線架 31 底面覆蓋有一例如鈹或錫/鉛合金之鉚結金屬層 36，以提供導線架 31 利用表面鉚結技術 (SMT) 鉚結至如印刷電路板等外部裝置時，得以藉由該凹部 330 及鉚結金屬層 36 提供與鉚料良好之濕潤性 (Wettability) 與較大之接置面積，強化表面鉚結之效果。

請參閱第 4 至 7 圖以詳細說明本發明之具有前揭導線架之半導體封裝件之製造過程。

如第 4A 及 4B 圖所示，首先，製備一導線架片 30，係利用化學蝕刻方式 (Chemical Etching) 或沖壓 (Punching) 等



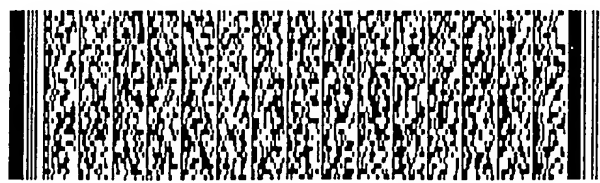
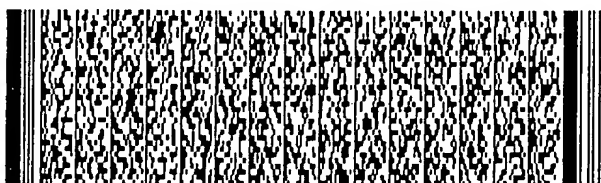
五、發明說明 (7)

方式，形成多數呈陣列排列之導線架 31，各相鄰之導線架 31係由多數之攔壩結構 (Dam bar) 331所間隔，並於該攔壩結構 331內形成有一凹部 330，且各該導線架 31具有一晶片座 32及分佈於該晶片座 32周圍之多數導腳 33，而該導腳 33係連接至該攔壩結構 331，以使各該導線架 31上界定有多數由該攔壩結構 331所包圍之封裝區域。圖中僅例示兩個導線架，然實際上構成該導線架片之個別導線架數目應為更多。

該導線架 31具有一位於中心位置之晶片座 32，以及多數由導線架 31邊緣朝中心延伸並圍繞該晶片座 32之導腳 33，該晶片座 32係以多數繫桿 320與該導線架 31相連。

該攔壩結構 (Dam bar) 之凹部 330係可於該導線架片 30製程時，預先於該導線架片 30之一表面上設置一具有開口之光罩，以於後續蝕刻形成晶片座 32及導腳 33時，在預定之攔壩結構 331上同時形成有該凹部 330，亦或可利用沖壓方式於該導線架片 30之攔壩結構 331上形成該凹部 330，而該凹部 330形態非侷限於圖式之圓弧曲面，而為任一具凹部之結構皆可應用於本發明。另由於該導線架片 30為一銅或鐵鎳合金之材質所構成，為使後續完成製程之導線架 31有效鐸結至外部裝置，可於該導線架片 30之導腳下表面先覆蓋有鐸結金屬層，如鈀 (Pd)。

如第 5圖所示，接著，於上述導線架片 30製備完成後，進行上片 (Die Bonding) 作業，以接置至少一半導體晶片 34於各該導線架 31之晶片座 32上；而後，進行鐸線

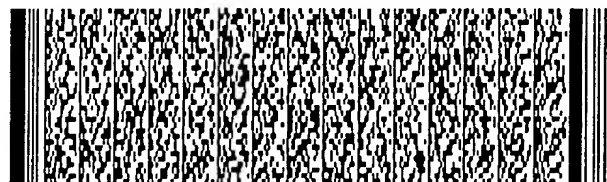
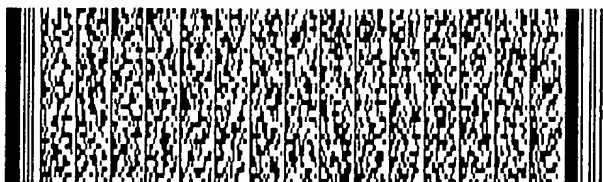


五、發明說明 (8)

(Wire Bonding)作業，以形成有多數例如金線之鐸線 35於該導線架 31上，使該半導體晶片 34得以藉該鐸線 35電性連接至對應之導腳 33上。

如第 6A及 6B圖所示，然後，進行模壓 (Molding)作業，於各該導線架 31上藉由環氧樹脂 (Epoxy resin)以形成一封裝膠體 37，用以包覆該半導體晶片 34、鐸線 35、與導線架 31之上表面，惟使該攔壩結構 (Dam bar)之凹部 330外露出該封裝膠體 37。此外，亦可在形成該封裝膠體 37後，於該導線架片 30之下表面形成一鐸結金屬層 36，如錫鉛合金 (Sn/Pb)，俾提供導線架 31與鐸料間良好之鐸結接合性。

如第 7A圖所示，之後，進行切單 (Singulation)作業，以沿預設於該相鄰之導線架 31間之攔壩結構 (Dam bar) 331之裁切區域進行裁切，係將該導線架片 30上建構有多數個封裝完成之 QFN 半導體封裝件置入一具有多組沖壓刀具 38之機台 (未圖示)內進行沖壓製程。請參閱第 7B及 7C圖，該沖壓製程係可利用沖壓刀具 38分別於該攔壩結構 331之垂直方向進行沖壓以切斷該攔壩結構 331，俾使相鄰之導腳 33分離，並於該攔壩結構 331之平行方向進行沖壓，且該平行方向之沖壓範圍需小於該攔壩結構 331之凹部 330範圍，俾使該攔壩結構 331所連結之導腳 33分離。請參閱第 7D圖，當然，亦可直接利用一具分枝狀之沖壓刀具 38，以同時沿該攔壩結構 331之垂直與平行方向進行沖壓，俾同步分離該導線架之導腳 33部分。俾藉由切單作業以將該攔

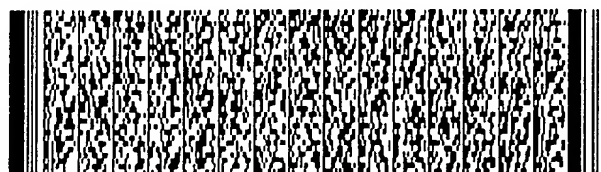


五、發明說明 (9)

壩結構 331 之凹部 330 裁切形成相對應之第一凹部 330a 與第二凹部 330b，以使分離後之各具導線架之 QFN 半導體封裝件 3 於其導腳 33 端部連接一具凹部 330a, 330b 之攔壩結構 331，如第 7A 圖所示。

請參閱第 8 圖，經由本發明之加強表面鉅結之導線架及其半導體封裝件製法，俾提供該具導線架之半導體封裝件 3 其外露導腳 33 之端部連接有具相對第一凹部 330a 與第二凹部 330b 之攔壩結構 331，且該第一凹部 330a 與第二凹部 330b 表面依然覆蓋有一鉅結金屬層 36，以提供該具導線架 31 之半導體封裝件 3 藉由表面鉅結技術 (SMT) 鉅結至如印刷電路板等外部裝置時，得以透過該攔壩結構 331 之第一凹部 330a 與第二凹部 330b 及其表面之鉅結金屬層 36 提供與鉅料 39 間良好之濕潤性 (Wettability) 與較大之鉅結面積，以增加鉅料接置面積，大幅減少鉅結點之脫落與空焊所造成之信號傳輸不良等問題，同時，毋須增加半導體封裝件面積之情況下，加強該具導線架之半導體封裝件表面鉅結效果。

惟以上所述之具體實施例，僅係用以例釋本發明之特點及功效，而非用以限定本發明之可實施範疇，在未脫離本發明上揭之精神與技術範疇下，任何運用本發明所揭示內容而完成之等效改變及修飾，均仍應為下述之申請專利範圍所涵蓋。



圖式簡單說明

【圖式簡單說明】

第 1A及 1B圖係習知之 QFN半導體封裝件剖面示意圖；

第 2圖係美國專利第 6,455,356號之 QFN半導體封裝件剖面示意圖；

第 3A及 3B圖係本發明之加強表面鉑結之導線架及其剖面示意圖；

第 4A及 4B圖係顯示製備本發明之加強表面鉑結之導線架上視圖及其剖面示意圖；

第 5圖係顯示於第 4A及 4B圖之導線架上進行上晶及鉑線作業之上視圖；

第 6A及 6B圖係顯示於第 5圖之半導體結構上進行模壓作業之上視圖及其剖面示意圖；

第 7A圖係顯示於第 6A及 6B圖之半導體封裝結構進行切單作業之剖面示意圖；

第 7B至 7D圖係顯示於第 6A及 6B圖之半導體封裝結構進行切單作業之上視圖；以及

第 8圖係顯示切單完成後之半導體封裝件鉑結至外部裝置之剖面示意圖

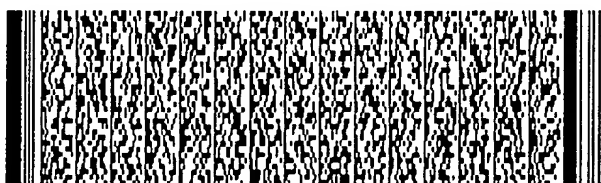
1, 3 半導體封裝

10, 20, 31 導線架

11, 32 晶片座

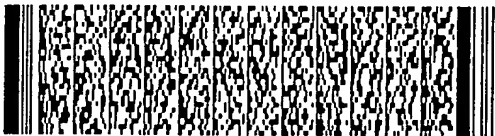
12, 33 導腳

12a 導腳切割處



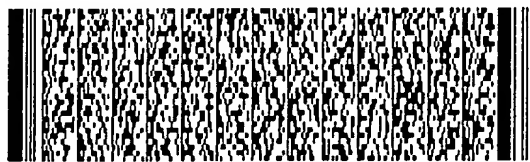
圖式簡單說明

13, 34	半 導 體 晶 片
14, 35	鐳 線
15, 37	封 裝 膠 體
16, 36	鐳 結 金 屬 層
17, 22, 39	鐳 料
21	彎 折 部
30	導 線 架 片
38	沖 壓 刀 具
320	繫 桿
330	凹 部
330a	第 一 凹 部
330b	第 二 凹 部
331	攔 壩 結 構



六、申請專利範圍

1. 一種加強表面銲結之導線架，係包括：
一晶片座；以及
多數導腳，係分佈於該晶片座周圍，且該導腳於其遠離該晶片座之端部連接有一具凹部之攔壩結構 (Dam bar)。
2. 如申請專利範圍第 1 項之導線架，其中，該導線架為四邊形平面無導腳式 (Quad-Flat Non-leaded, QFN) 導線架。
3. 如申請專利範圍第 1 項之導線架，其中，該凹部係利用化學蝕刻 (Chemical Etching) 及沖壓 (Punching) 之任一方式所形成。
4. 如申請專利範圍第 1 項之導線架，其中，該導線架上具有凹部之攔壩結構之表面敷設有一銲結金屬層。
5. 如申請專利範圍第 4 項之導線架，其中，該銲結金屬層為金屬鈀 (Pd)，係預鍍於該導線架表面。
6. 如申請專利範圍第 4 項之導線架，其中，該銲結金屬層為錫 / 鉛 (Sn/Pb)，係覆蓋於該完成模壓製程之導線架外露表面。
7. 一種具加強表面銲結之導線架之半導體封裝件，係包括：
一導線架，其具有一晶片座及分佈於該晶片座周圍之多數導腳，且該導腳於其遠離該晶片座之端部連接有一具凹部之攔壩結構 (Dam bar)；
至少一半導體晶片，係接置於該晶片座上，並與



六、申請專利範圍

該導腳電性連接；以及

一封裝膠體，用以包覆該半導體晶片與部分之導線架，而顯露出該攔壩結構之凹部。

8. 如申請專利範圍第7項之半導體封裝件，其中，該導線架為四邊形平面無導腳式 (Quad-Flat Non-leaded, QFN) 導線架。

9. 如申請專利範圍第7項之半導體封裝件，其中，該凹部係利用化學蝕刻 (Chemical Etching) 及沖壓 (Punching) 之任一方式所形成。

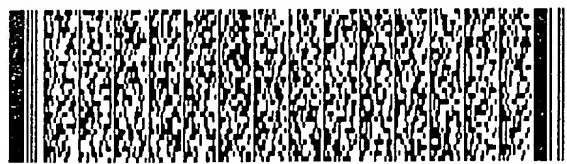
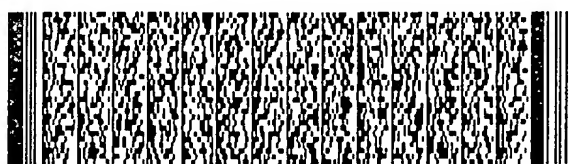
10. 如申請專利範圍第7項之半導體封裝件，其中，該導線架上具有凹部之攔壩結構之表面敷設有一鍍結金屬層。

11. 如申請專利範圍第10項之半導體封裝件，其中，該鍍結金屬層為金屬鈀 (Pd)，係預鍍於該導線架表面。

12. 如申請專利範圍第10項之半導體封裝件，其中，該鍍結金屬層為錫/鉛 (Sn/Pb)，係覆蓋於該完成模壓製程之導線架外露表面。

13. 一種加強表面鍍結之導線架半導體封裝件製法，係包括：

製備一導線架片，係由多數呈陣列排列之導線架所構成，各相鄰之導線架由多數之攔壩結構 (Dam bar) 所間隔，並於該攔壩結構內形成有一凹部，而該導線架具有一晶片座及分佈於該晶片座周圍之多數導腳，該導腳係連接至該攔壩結構；



六、申請專利範圍

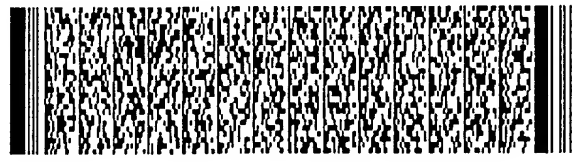
接置至少一半導體晶片於各該導線架之晶片座上；

形成多數之導電元件以電性連接該半導體晶片至對應之導腳上；

形成一封裝膠體於該導線架片上，用以包覆各該導線架、半導體晶片與導電元件，而使該攔壩結構之凹部外露出該封裝膠體；以及

進行一切單作業，沿該相鄰之導線架間預設之裁切區域進行裁切，俾將該攔壩結構之凹部裁切形成相對應之第一凹部與第二凹部，以使分離之各半導體封裝件於其導腳端部連接一具凹部之攔壩結構。

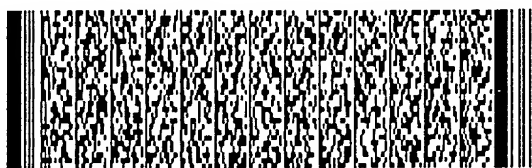
14. 如申請專利範圍第 13 項之半導體封裝件製法，其中，該導線架為四邊形平面無導腳式 (Quad-Flat Non-leaded, QFN) 導線架。
15. 如申請專利範圍第 13 項之半導體封裝件製法，其中，該凹部係利用化學蝕刻 (Chemical Etching) 及沖壓 (Punching) 之任一方式所形成。
16. 如申請專利範圍第 13 項之半導體封裝件製法，其中，該導線架上具有凹部之攔壩結構之表面敷設有一鍍結金屬層。
17. 如申請專利範圍第 16 項之半導體封裝件製法，其中，該鍍結金屬層為金屬鈀 (Pd)，係預鍍於該導線架表面。
18. 如申請專利範圍第 16 項之半導體封裝件製法，其中，



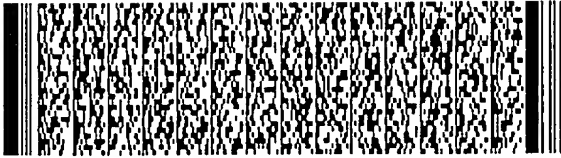
六、申請專利範圍

該鍍結金屬層為錫 / 鉛 (Sn/Pb)，係覆蓋於該完成模壓製程之導線架外露表面。

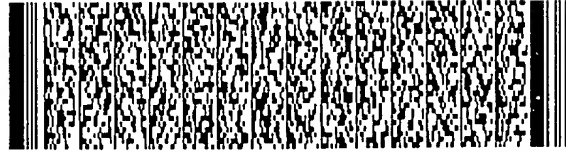
19. 如申請專利範圍第 13 項之半導體封裝件製法，其中，該切單作業係利用沖壓製程以分別於該攔壩結構之垂直與水平方向進行沖壓，俾分離相鄰之導線架。
20. 如申請專利範圍第 13 項之半導體封裝件製法，其中，該切單作業係利用具分枝狀之沖壓刀具，以同時沿該攔壩結構之垂直與平行方向進行沖壓，俾分離相鄰之導線架。



第 1/22 頁



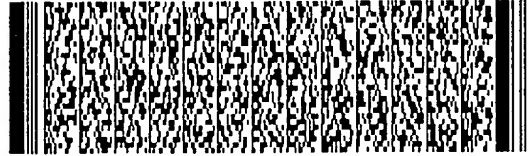
第 1/22 頁



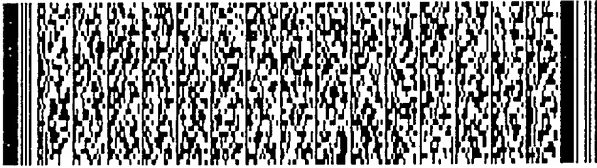
第 2/22 頁



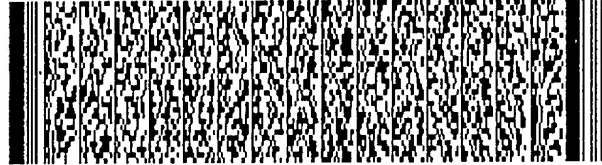
第 3/22 頁



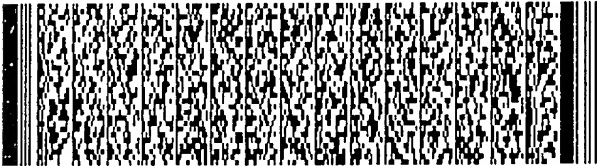
第 4/22 頁



第 4/22 頁



第 5/22 頁



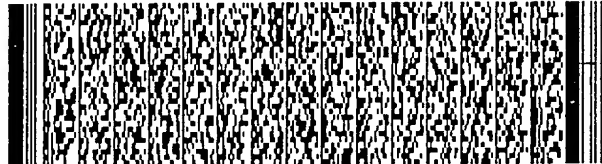
第 6/22 頁



第 7/22 頁



第 8/22 頁



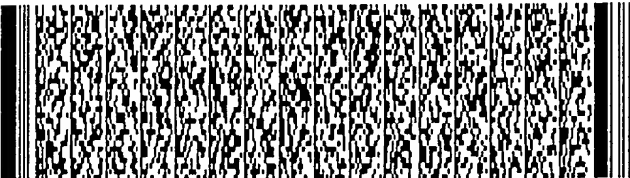
第 8/22 頁



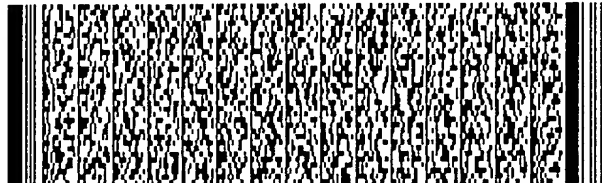
第 9/22 頁



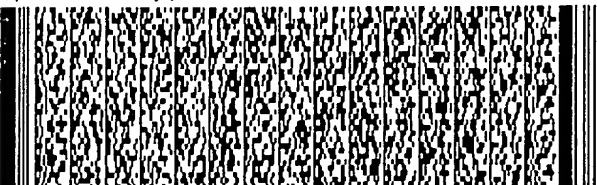
第 9/22 頁



第 10/22 頁



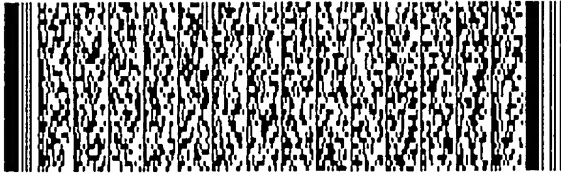
第 10/22 頁



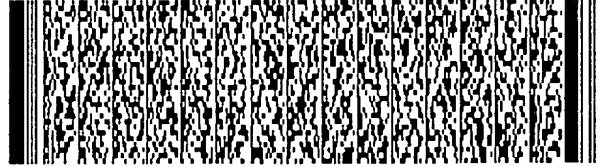
第 11/22 頁



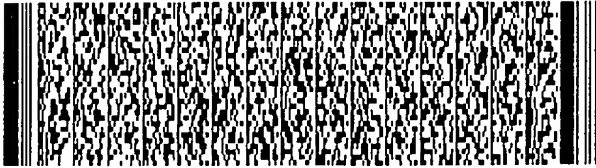
第 11/22 頁



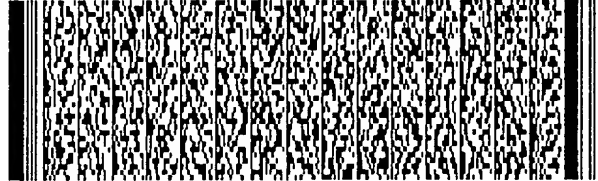
第 12/22 頁



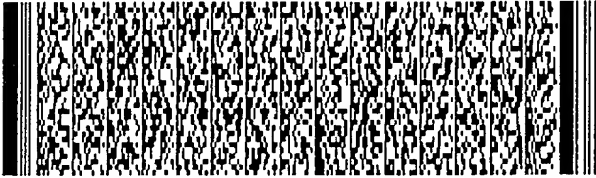
第 12/22 頁



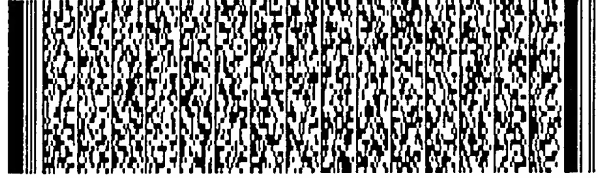
第 13/22 頁



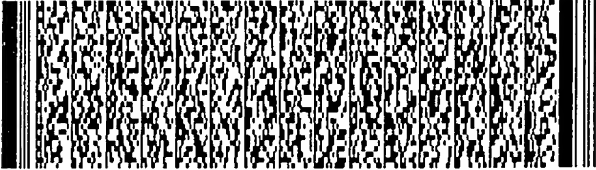
第 13/22 頁



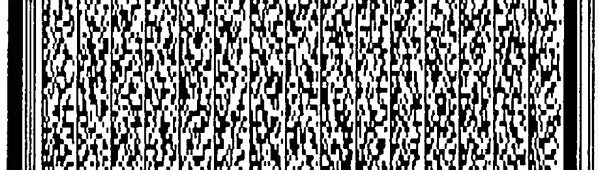
第 14/22 頁



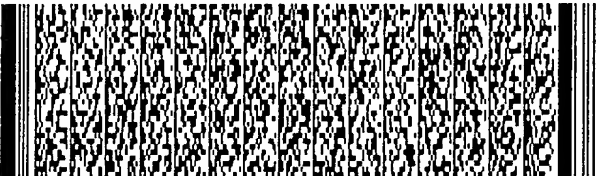
第 14/22 頁



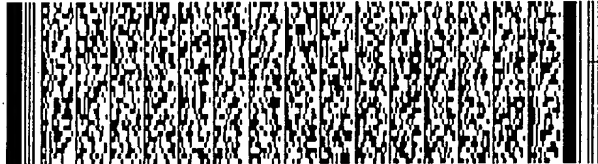
第 15/22 頁



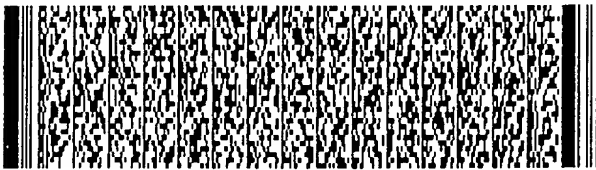
第 15/22 頁



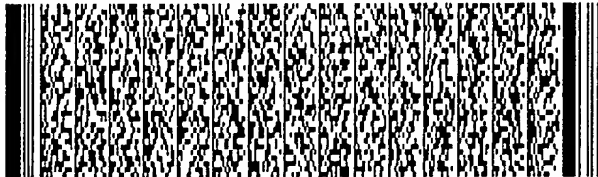
第 16/22 頁



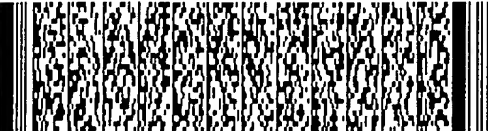
第 16/22 頁



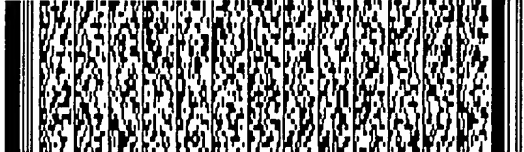
第 17/22 頁



第 18/22 頁



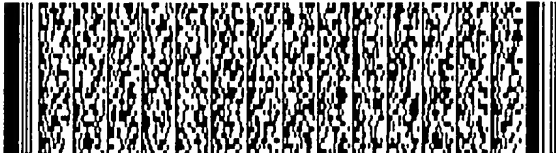
第 19/22 頁



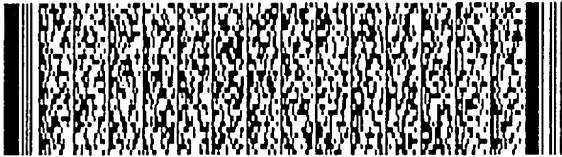
第 19/22 頁



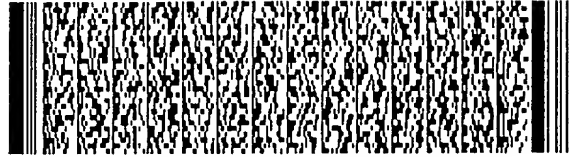
第 20/22 頁



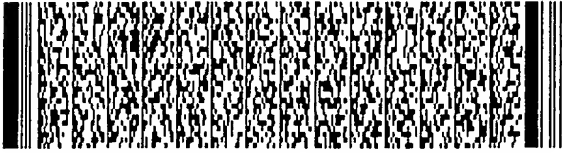
第 20/22 頁



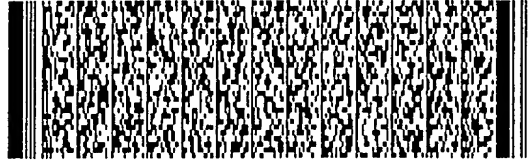
第 21/22 頁

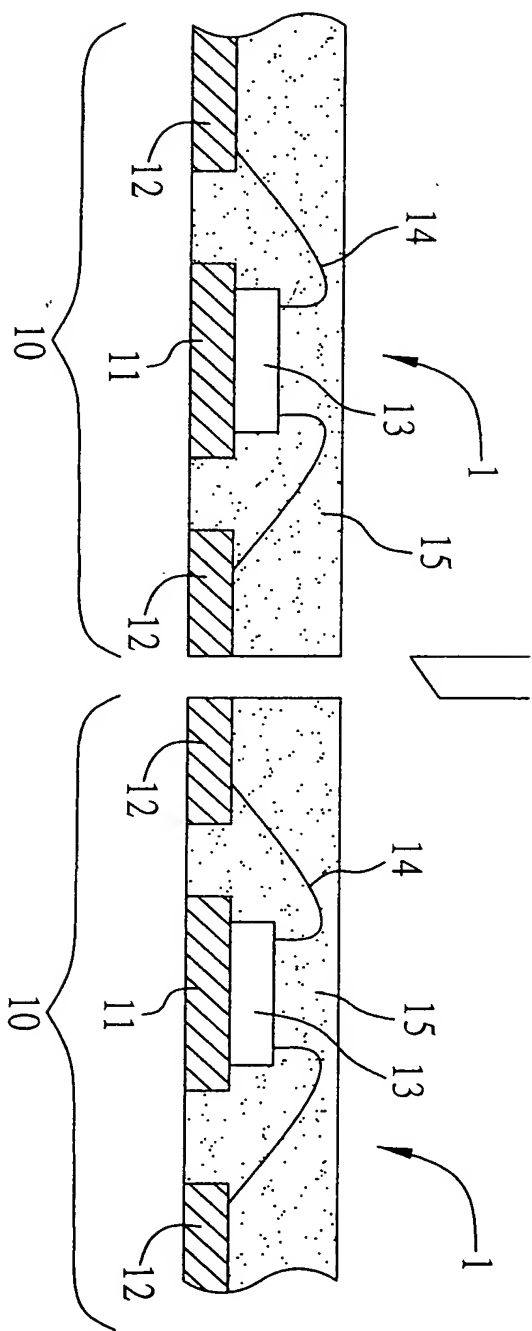


第 21/22 頁

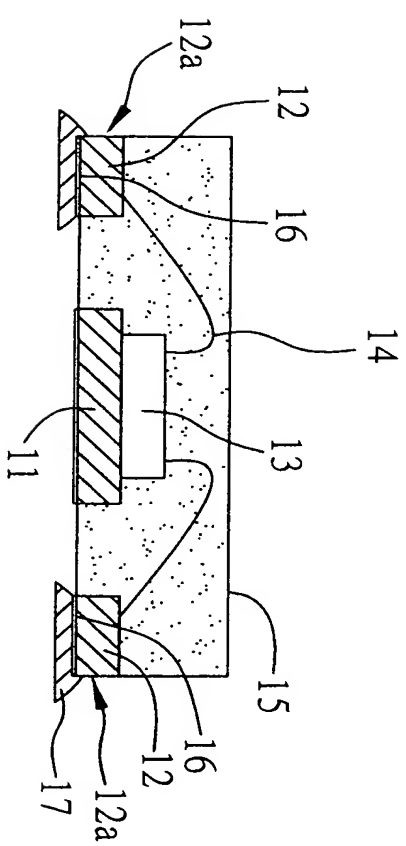


第 22/22 頁

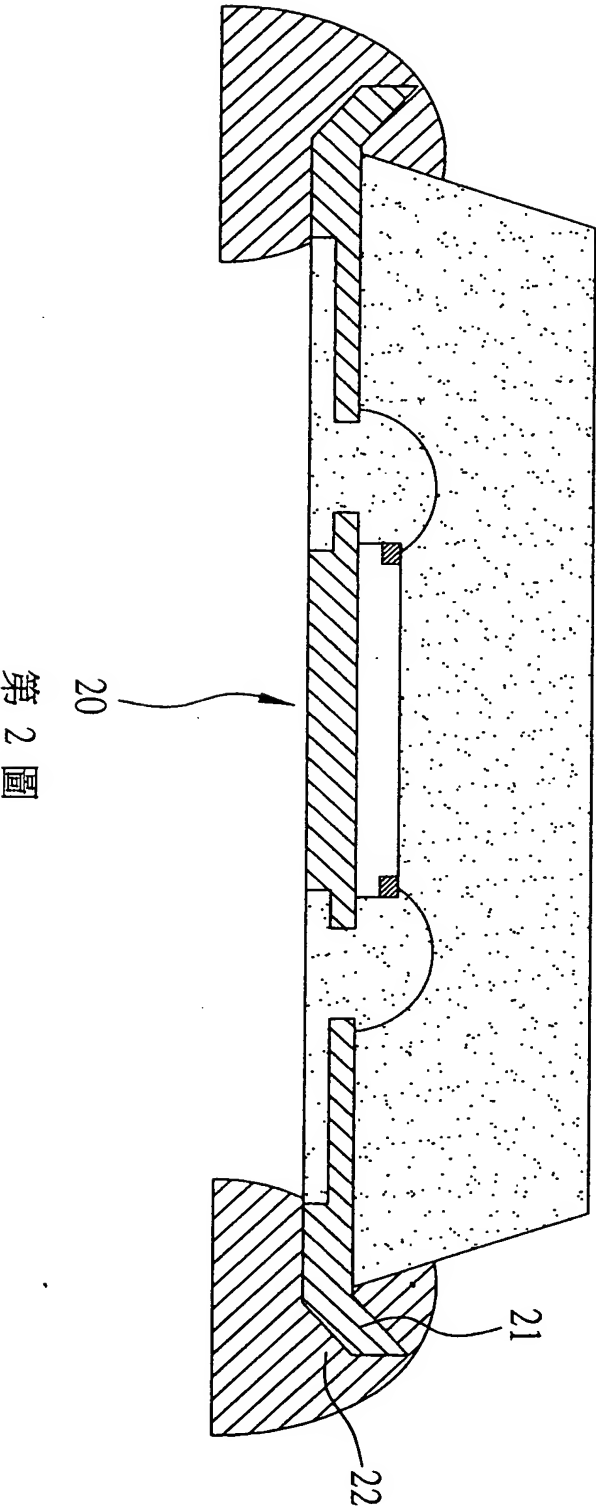




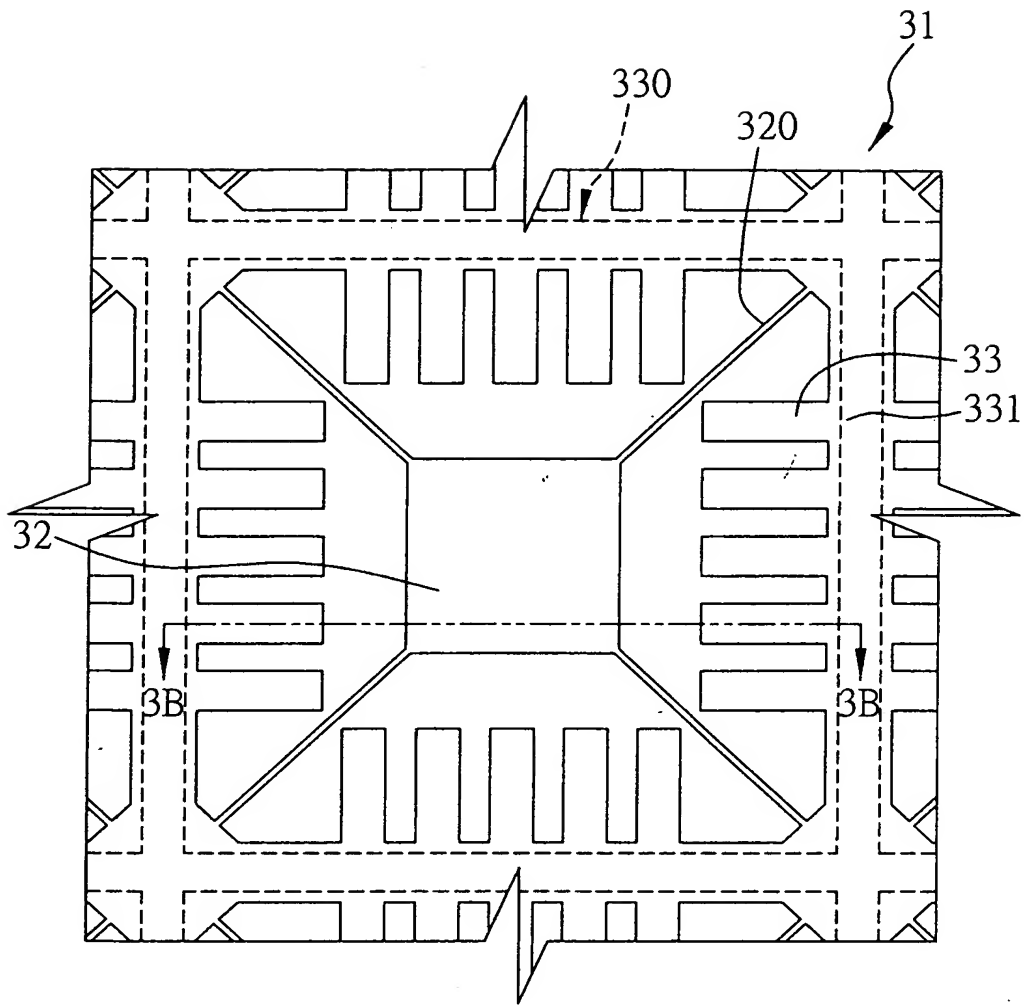
第 1A 圖



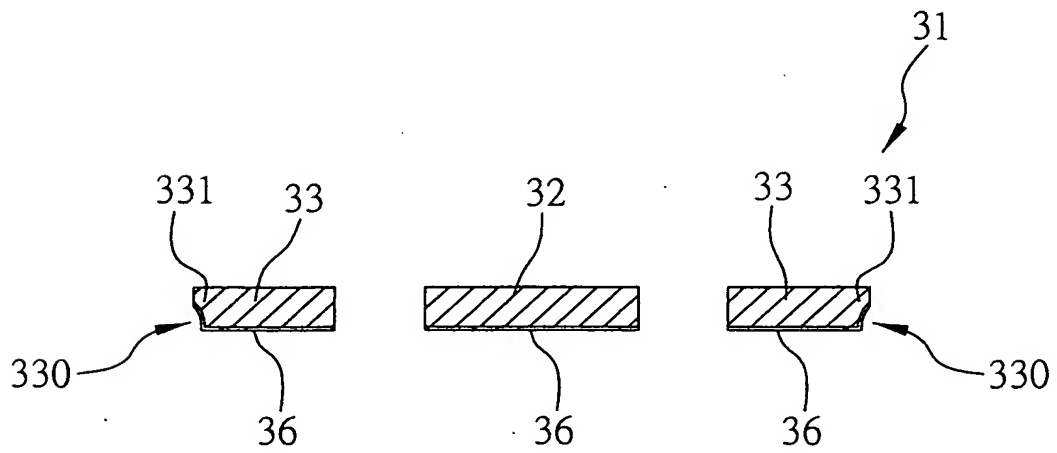
第 1B 圖



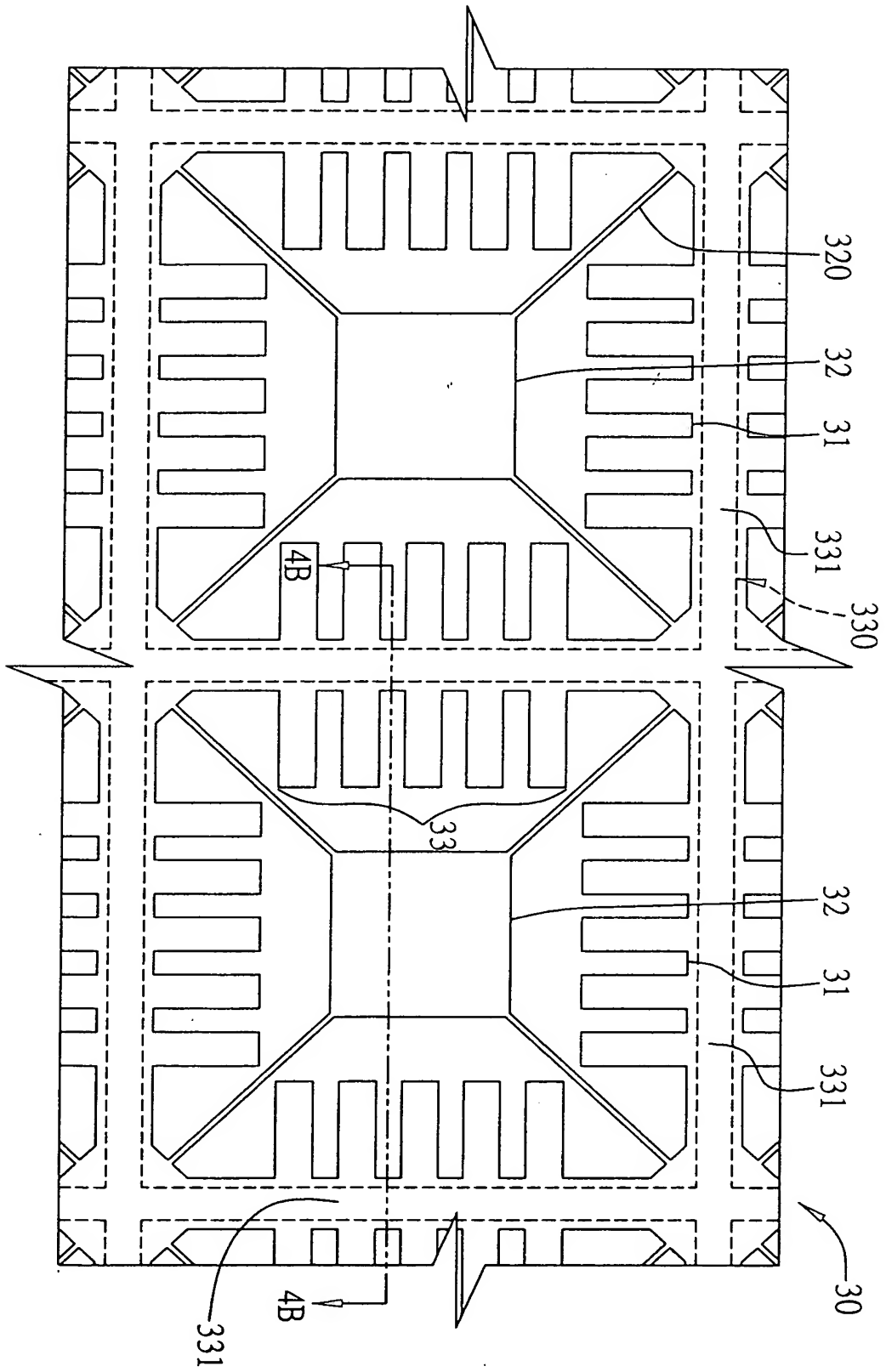
第 2 圖



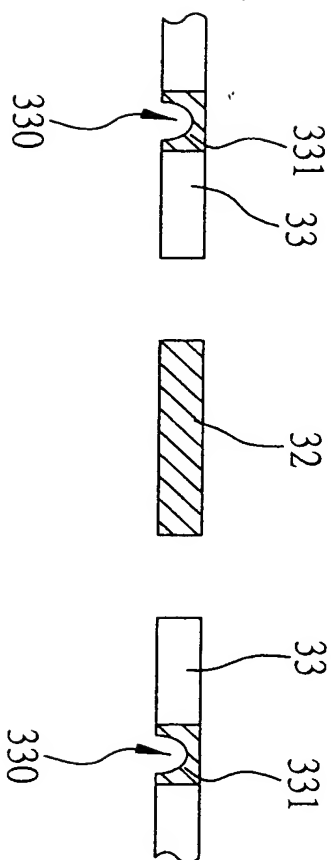
第 3A 圖



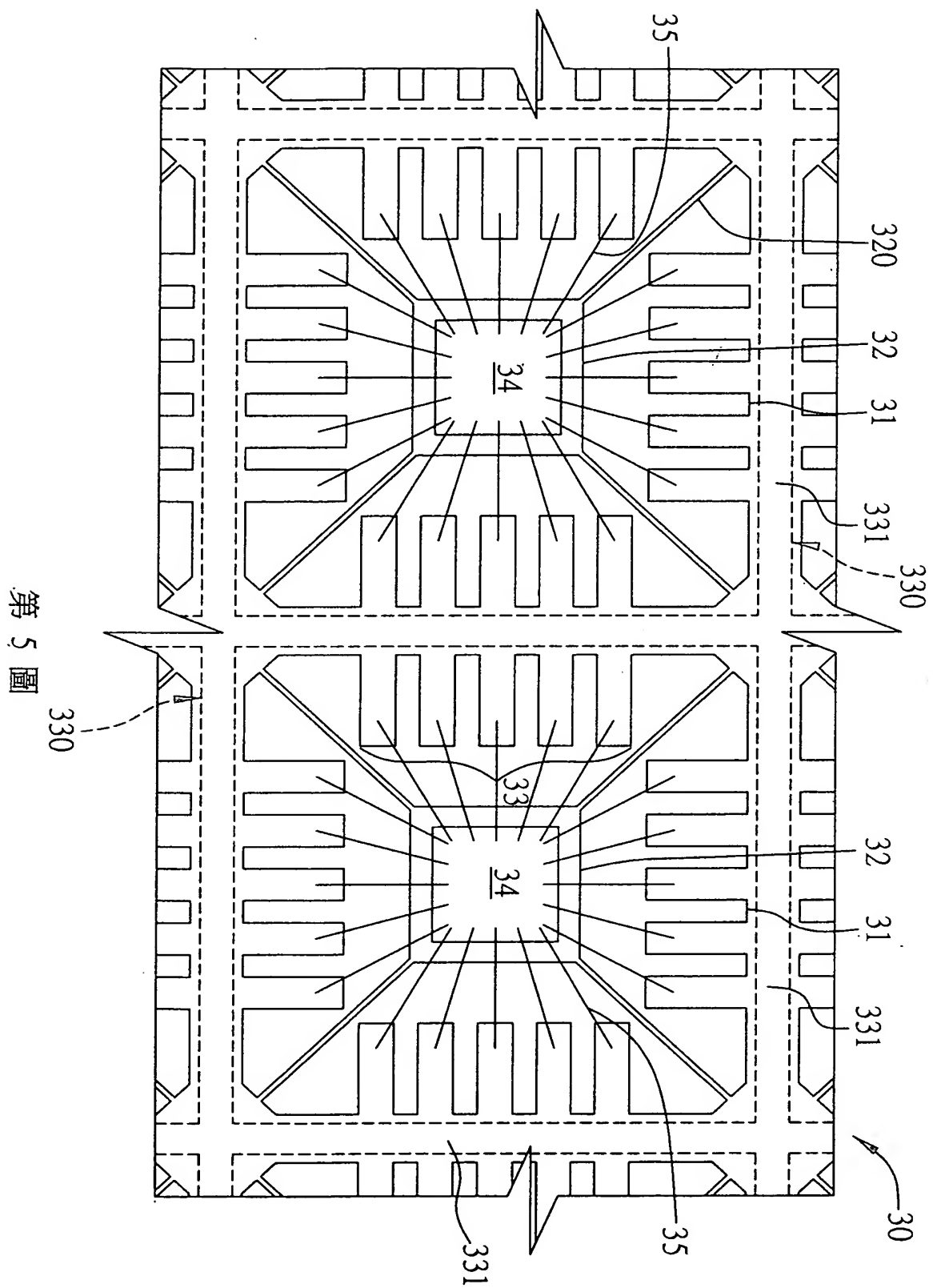
第 3B 圖



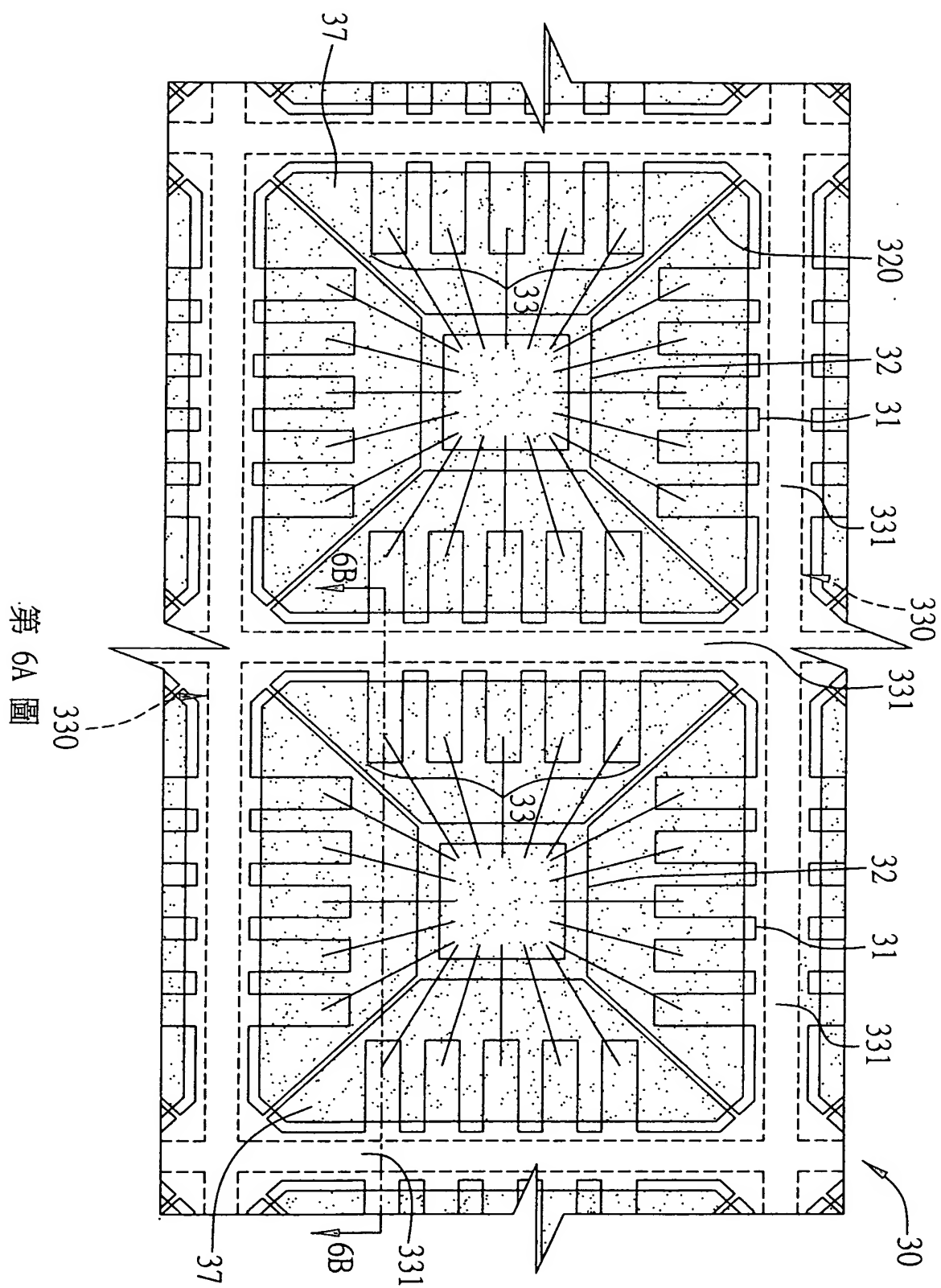
第 4A 圖



第 4B 圖



第 5 圖



第 6A 圖

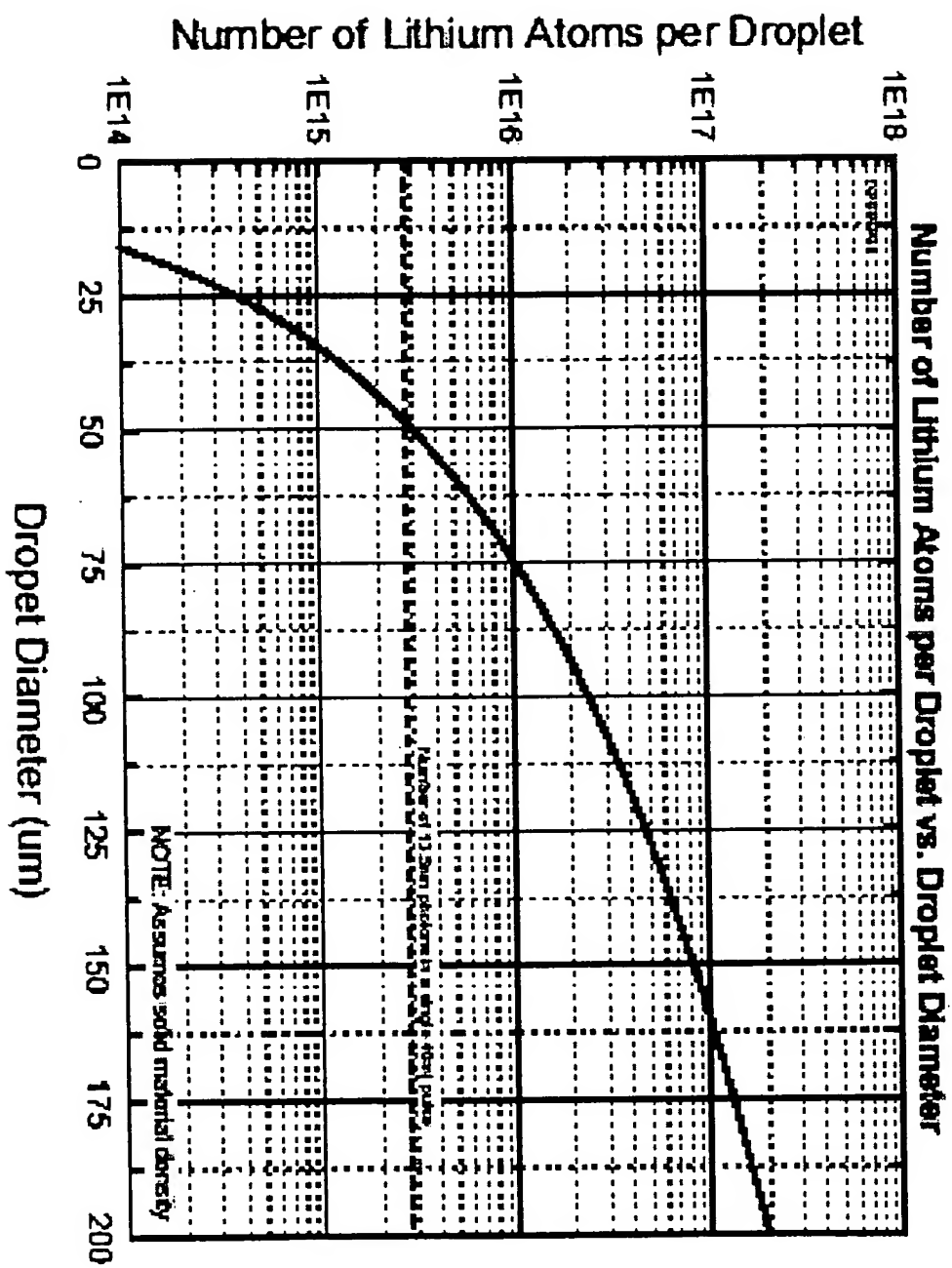


FIG. 10

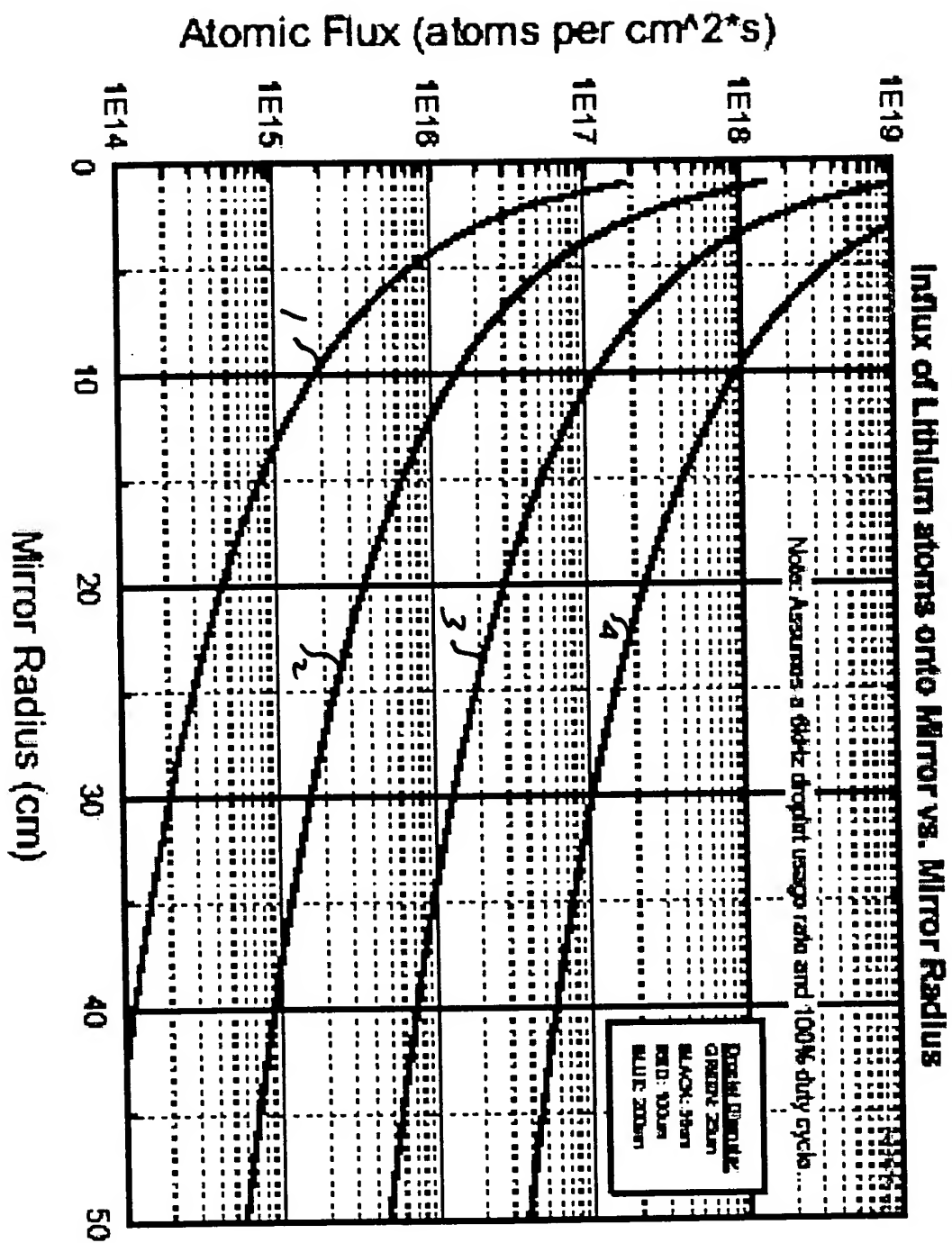


FIG. 11

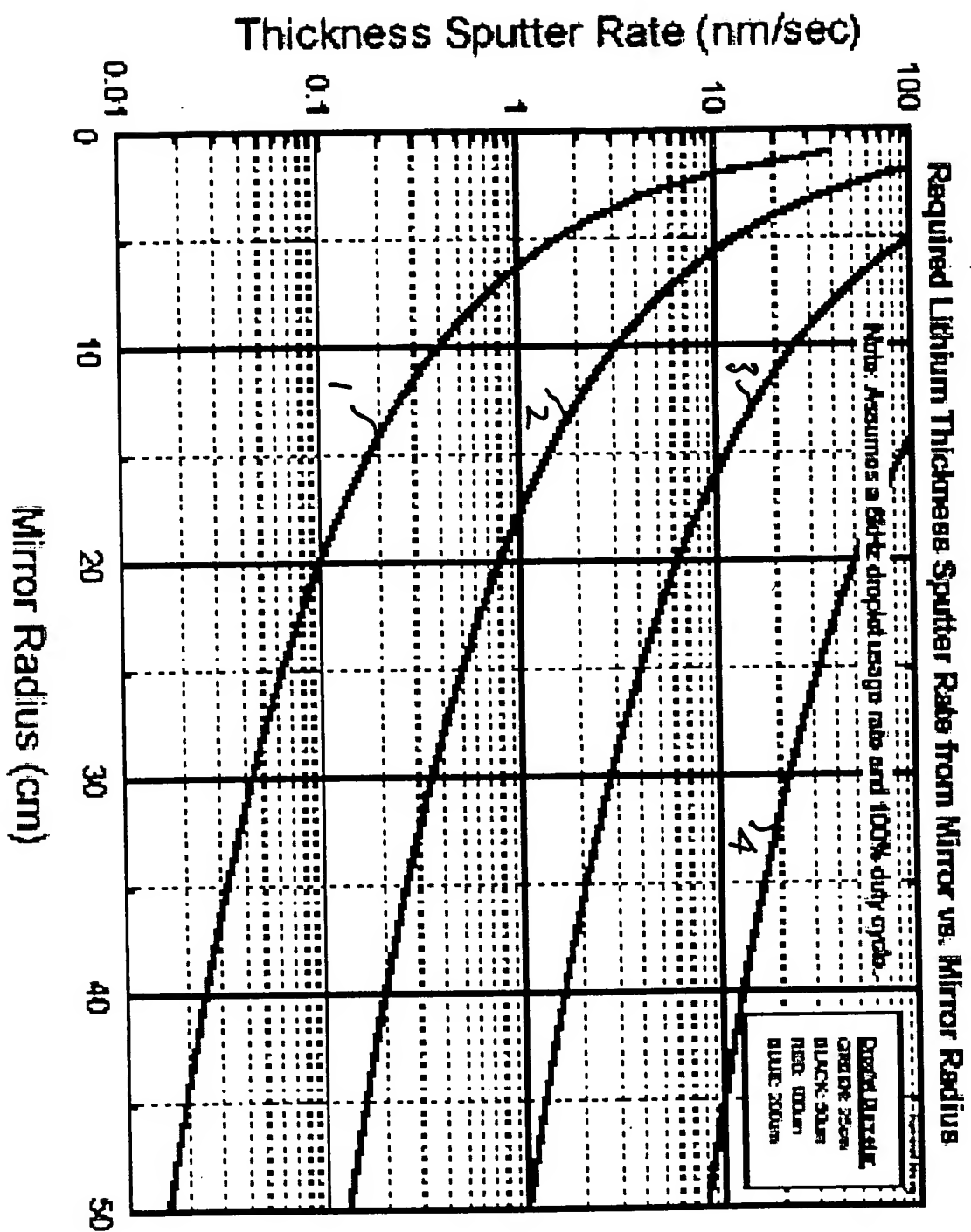
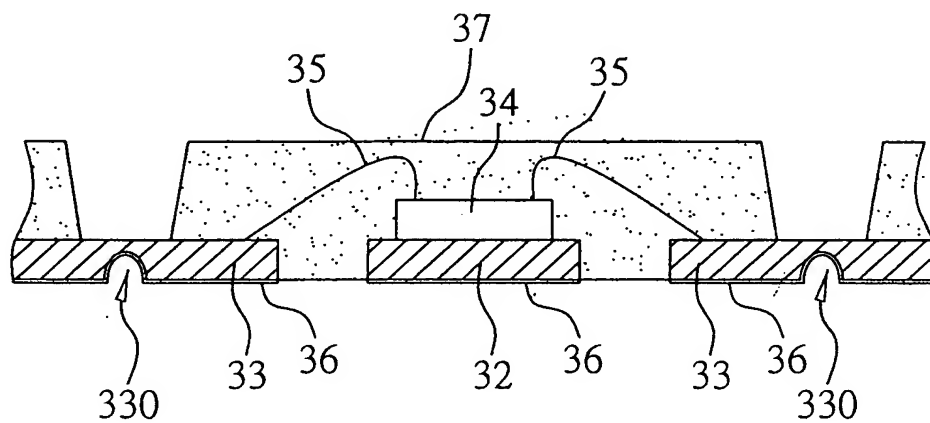
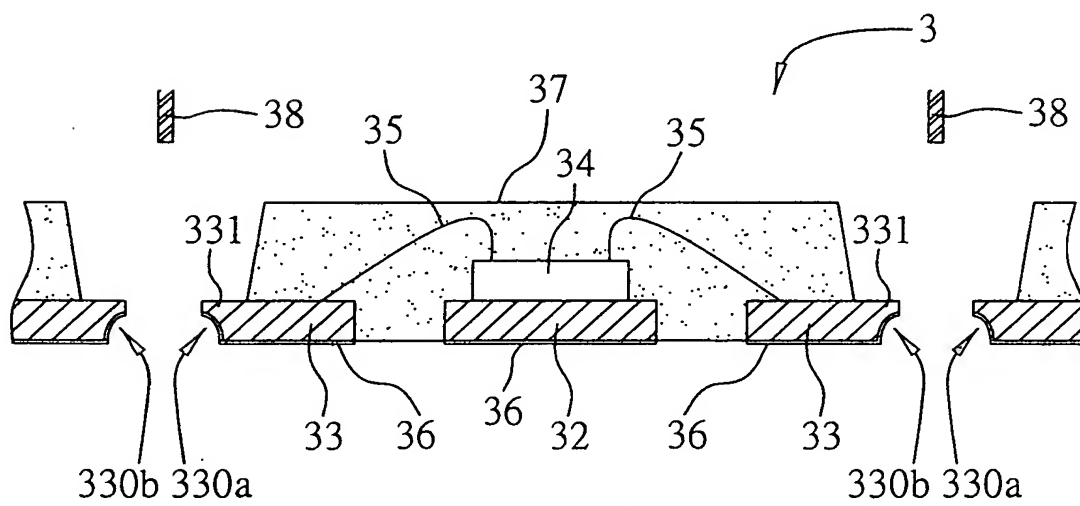


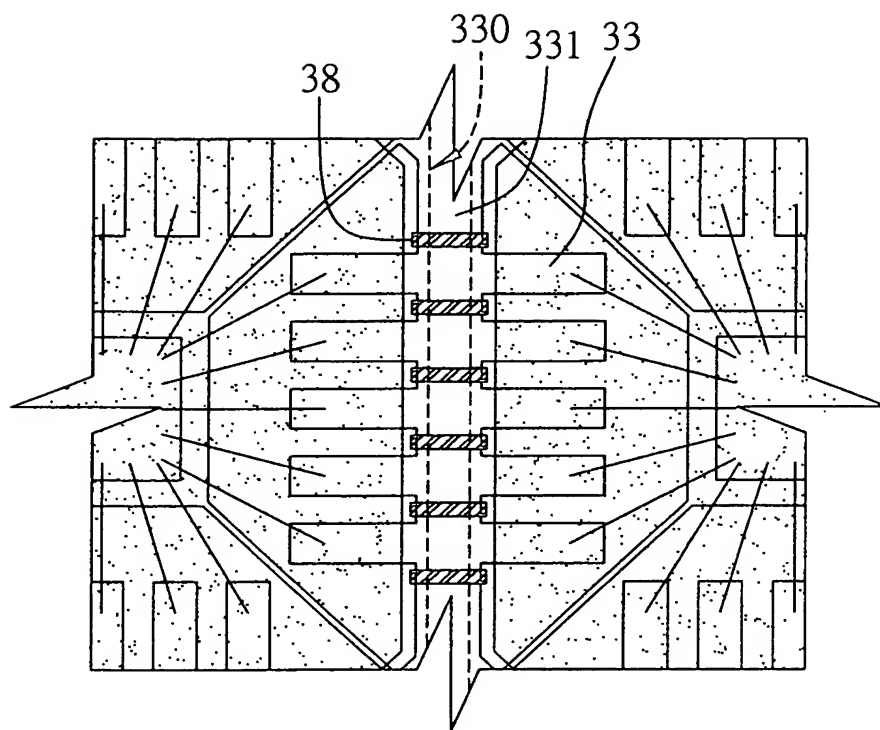
FIG. 12



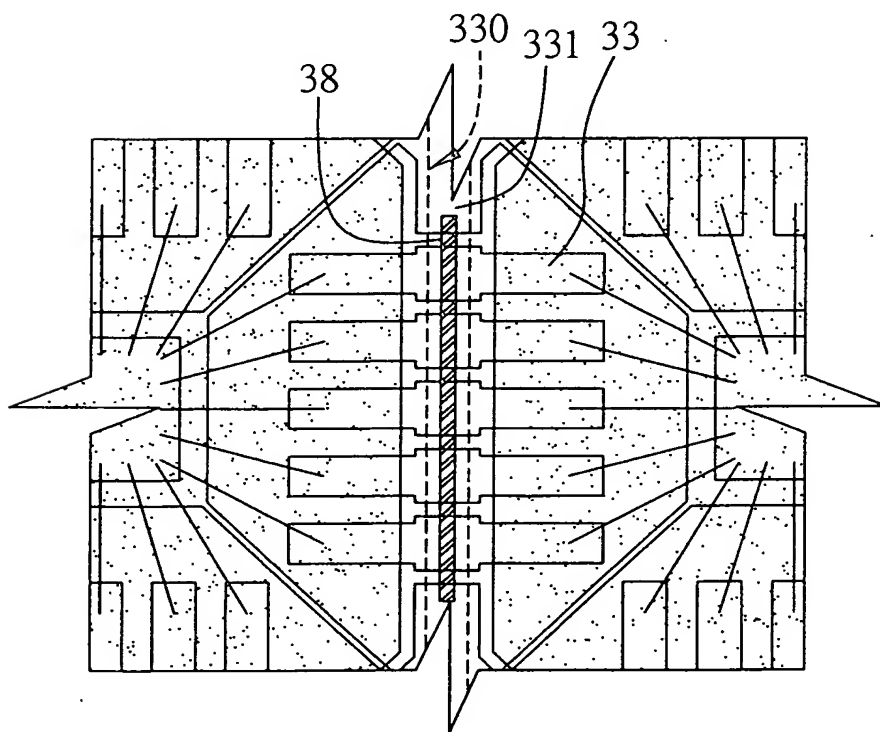
第 6B 圖



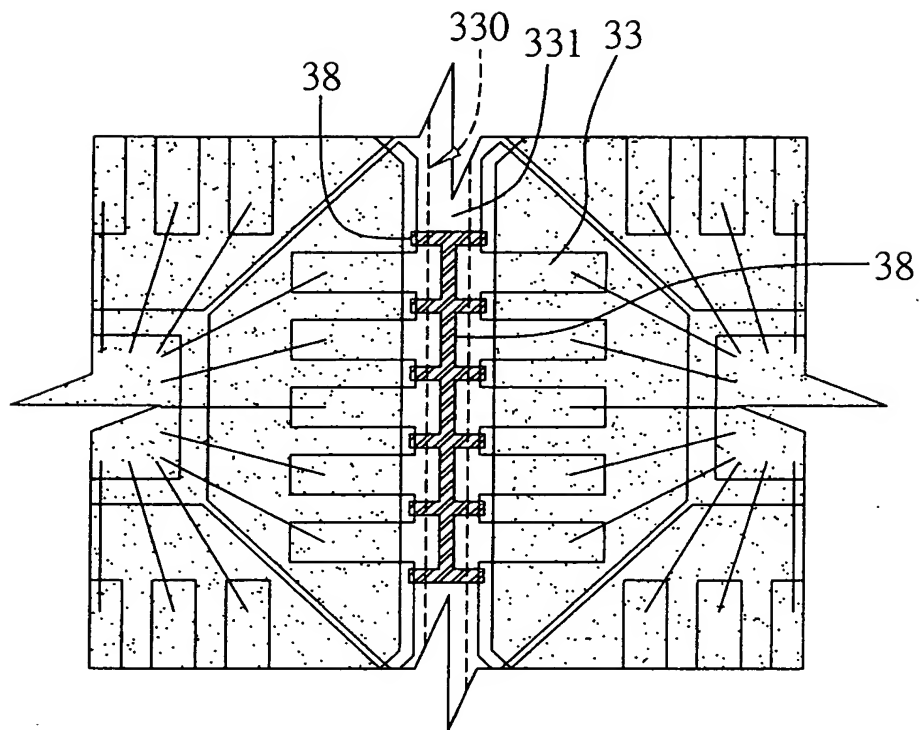
第 7A 圖



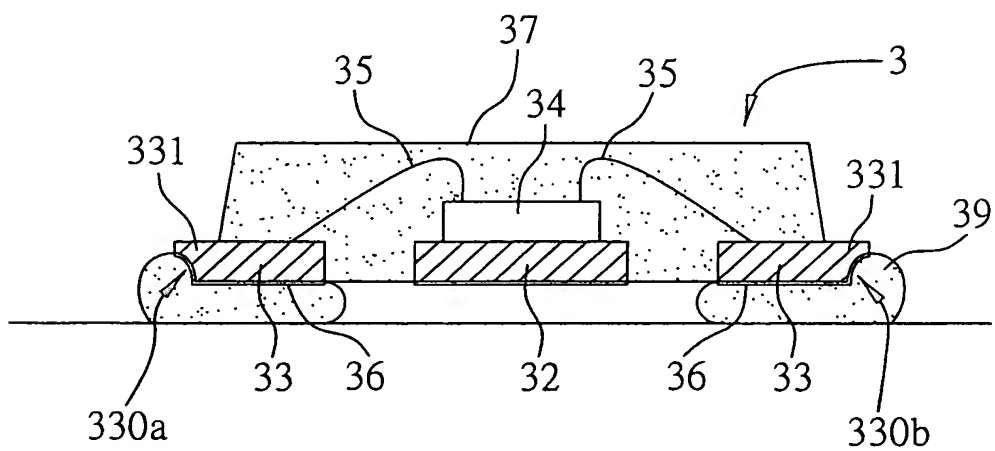
第 7B 圖



第 7C 圖



第 7D 圖



第 8 圖 (代表圖)